

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 9 月 29 日 (29.09.2005)

PCT

(10) 国際公開番号  
WO 2005/091454 A1

- (51) 国際特許分類: H01S 5/22
- (21) 国際出願番号: PCT/JP2005/004699
- (22) 国際出願日: 2005 年 3 月 16 日 (16.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-077689 2004 年 3 月 18 日 (18.03.2004) JP  
特願2004-079543 2004 年 3 月 19 日 (19.03.2004) JP  
特願2004-079544 2004 年 3 月 19 日 (19.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP). 鳥取三洋電機株式会社 (TOTTORISANYO

ELECTRIC CO., LTD.) [JP/JP]; 〒6808634 鳥取県鳥取市立川町七丁目 1 0 1 番地 Tottori (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてののみ): 竿本 仁志 (SAO-MOTO, Hitoshi) [JP/JP]; 〒6808634 鳥取県鳥取市立川町七丁目 1 0 1 番地 鳥取三洋電機株式会社内 Tottori (JP). 岩本 学 (IWAMOTO, Manabu) [JP/JP]; 〒6808634 鳥取県鳥取市立川町七丁目 1 0 1 番地 鳥取三洋電機株式会社内 Tottori (JP).

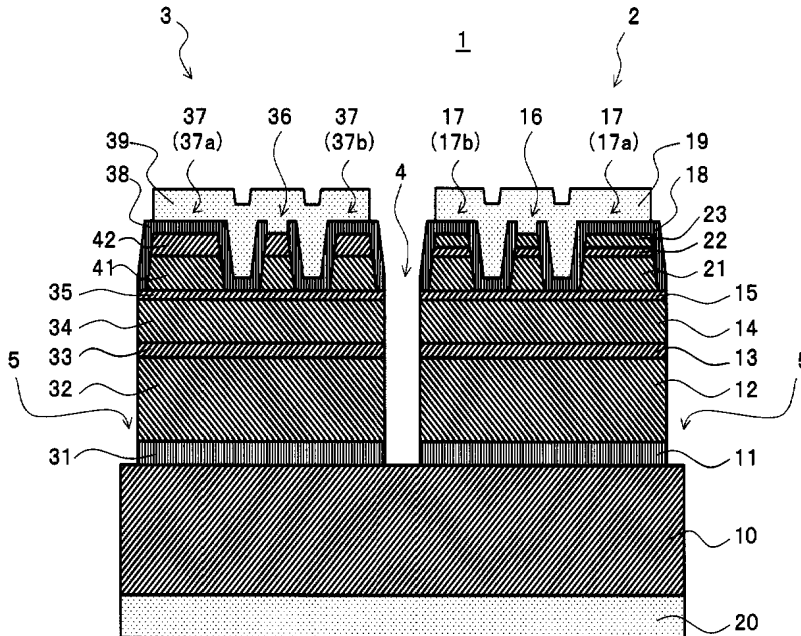
(74) 代理人: 特許業務法人 ウィンテック (WIN TECH PATENT OFFICE); 〒1010045 東京都千代田区神田鍛冶町三丁目 6 番 7 号 ウンビン神田ビル 4 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: SEMICONDUCTOR LASER ELEMENT AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体レーザ素子及びその製造方法



(57) Abstract: In an element wherein a plurality of ridges (16, 36) are arranged in parallel, supports (17, 37) are formed to sandwich each of the ridges (16, 36). More specifically, on an outer side of the ridge (16) in the element, the first support (17a) is formed, and on an inner side in the element, the second support (17b) is formed. On an outer side of the ridge (36) in the element, the first support (37a) is formed, and on an inner side in the element, the second support (37b) is formed. Thus, even when a resist is applied on an element surface and spin-coating is performed at the time of manufacturing the element, the resist on the inner side than the ridges (16, 36) in the element can be prevented from flowing into a groove between the ridges to a certain extent by means of the second supports (17b, 37b), and a resist film thickness on the inner sides of the ridges (16, 36) in the element can be prevented from being considerably small compared with that on the outer sides in the element.

(57) 要約: 複数のリッジ 16・36 を並設した素子において、各リッジ 16・36 を挟むようにサポート 17・37 を形成する。より具体的には、リッジ 16 の素子外側に第 1 サポート 17a を形成し、素子内側に第 2 サポート 17b を形成する。また、リッジ 36 の素子外側に第 1 サポート 37a を形成し、素子内側に第 2 サポート 37b を形成する。これにより、素子製造時に素子表面にレジストを塗布してスピコートを行っても、リッジ 16・36 よりも素子内側のレジストがリッジ間の溝に流れるのを、この第 2 サポート 17b・37b である程度抑えることができ、リッジ 16・36 に対して素子内側のレジスト膜厚が素子外側に比べて大幅に薄くなるのを回避することができる。

WO 2005/091454 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 半導体レーザ素子及びその製造方法

#### 技術分野

[0001] 本発明は、ストライプ状のリッジを複数有する半導体レーザ素子及びその製造方法に関するものである。

#### 背景技術

[0002] 従来から、リッジストライプ型の半導体レーザ素子が種々提案されている(例えば特許文献1参照)。例えば、図8Aは、従来の半導体レーザ素子の平面図を示し、図8Bは、上記半導体レーザ素子の断面図を示している。この半導体レーザ素子は、基板上に、n型クラッド層、活性層、p型クラッド層、エッチングストップ層、p型クラッド層、p型コンタクト層が順に形成されている。そして、p型クラッド層及びp型コンタクト層をエッチングすることにより、素子表面にリッジ101が形成されているとともに、リッジ101の両側に所定間隔おいてサポート102・102が形成されている。なお、説明を簡略化するため、図中では、n型ブロック層、p型電極及びn型電極の図示を省略している。

[0003] ここで、上記半導体レーザ素子の素子幅を $300\mu\text{m}$ とすると、リッジ101の中心からサポート102・102におけるリッジ101側の端までの距離(以下では、リッジーサポート間距離と称する)は、例えば $70\mu\text{m}$ に設定されており、また、サポート102・102の幅(チップ幅方向のサポート102・102の長さ)は、それぞれ $50\mu\text{m}$ であり、合わせて $100\mu\text{m}$ に設定されている。したがって、チップ幅に対するサポート幅の割合は、 $(100/300) \times 100 \div 33\%$ となっている。

[0004] このような構成の半導体レーザ素子は、図8Cに示すように、基板におけるリッジ101及びサポート102・102側をサブマウント110に取り付け、このサブマウント110を介して保持体(図示せず)に保持される(ジャンクションダウン方式)。

[0005] また、従来から、2本のリッジを有し、異なる波長のレーザ光又は同一波長のレーザ光を2本出射することが可能なツインストライプ型の半導体レーザ素子も種々提案されている(例えば特許文献2参照)。この種の半導体レーザ素子は、例えば以下の手法により製造される。なお、以下では、半導体レーザ素子をサブマウントを介して保

持体にて保持させる、いわゆるジャンクションダウン方式が適用される半導体レーザ素子の製造方法について説明するが、図8A～図8Cに示した半導体レーザ素子と同一の構成部分には同じ参照符号を付与して説明する。

[0006] まず、基板上に、n型バッファ層、n型クラッド層、活性層、第1のp型クラッド層、エッチングストップ層、第2のp型クラッド層、p型コンタクト層を形成する。そして、第2のp型クラッド層及びp型コンタクト層をドライエッチング及びウェットエッチングすることにより、2本のリッジ101・101を形成するとともに、リッジ101・101の外側に一對のサポート102・102を形成する(図9A参照)。なお、説明を簡略化するため、図中では、n型ブロック層、p型電極及びn型電極の図示を省略している。

[0007] 次に、素子表面にn型ブロック層103を形成し(図9B参照)、その上にレジスト(以下、単にレジストと称する)104を塗布する(図9C参照)。そして、リッジ101・101のトップ表面のレジスト104を除去すべく、当該トップ以外を遮光する遮光部105をマスクとして、レジスト104に対して露光する(図9D参照)。これにより、リッジ101・101のトップ及びその近傍のレジスト104が除去される(図9E参照)。

[0008] 続いて、リッジ101・101のトップのn型ブロック層103をエッチングして除去する(図9F参照)。その後、レジスト104を剥離し(図9G参照)、リッジ101・101のトップと導通するp型電極106を素子表面に形成する(図9H参照)。一方、基板の裏面(p型電極106とは反対側)には、n型電極(図示せず)を形成する。

特許文献1:特許第3348024号公報

特許文献2:特開2003-69154号公報

発明の開示

発明が解決しようとする課題

[0009] ところで、図9Cで示したレジスト104の塗布工程は、一般に、スピコート法によって行われる。このスピコート法では、レジスト104を素子表面に滴下した後、ウェハを回転させてレジスト104を横方向に広げ、光照射によってこれを硬化させている。

[0010] ところが、上述した製造方法では、1個のリッジ101に対して、一方の側(図9Aないし図9Hでは素子外側)にしかサポート102を形成していないため、スピコートにより形成されるレジスト104の膜厚が、実際には、リッジ101に対して内側(サポート102

の存在しない側)と外側(サポート102の存在する側)とで微妙に異なってしまう。これが、素子特性に悪影響を及ぼす結果となる。この点について、図10Aないし図10Dを参照しながら説明する。

- [0011] 図10Aは、図9Eで示した工程において、レジスト104の膜厚が、1個のリッジ101に対して素子内側で薄く、素子外側で厚くなった場合を示している。スピコートによりレジスト104を素子表面に塗布した場合、その直後にリッジ間の溝にレジストが流れ込む。この流れ込みによって素子内側でレジスト104の膜厚が薄くなりすぎることがあり、極端な例では当該レジスト104に穴107が開いてしまう場合もある。
- [0012] すると、図9Fで示したn型ブロック層103のエッチング工程では、図10Bに示すように、リッジ101のトップのn型ブロック層103のみならず、リッジ101よりも素子内側のレジスト104の穴107を介して、その下層のn型ブロック層103までもがエッチングにより除去され、隙間108が形成されてしまう。したがって、この状態でレジスト104を剥離し(図10C参照)、リッジ101を覆うようにp型電極106を形成した場合には、n型ブロック層103の隙間108にもp型電極106が入り込む(図10D参照)。このような構造上の不良によって、素子の光出力などの素子特性が劣化することになる。
- [0013] 加えて、半導体レーザ素子では、周囲温度が変化すると、それに伴って、例えば、一定の光出力を得るのに必要な動作電流や動作電圧、波長などの諸特性が変動する。ここで、以下では、周囲温度に対する諸特性のことを温度特性と称し、周囲温度に対して諸特性が変動することを温度特性の低下と称することにする。温度特性の低下は、素子の信頼性を低下させる要因となるため、極力、これを抑制することが必要である。
- [0014] ここで、半導体レーザ素子の諸特性のうち、動作電流について着目すると、レーザ光を出力する活性層の温度が高くなればなるほど、動作電流が上昇する。これは、活性層の温度が高くなればなるほど、電流を光に変換する効率(変換効率)が低下するからである。したがって、素子の信頼性を向上させるためには、活性層及びその周囲にて発生する熱を活性層以外の部位(素子以外の部位)に逃がし、活性層の温度上昇を抑制して、動作電流の上昇を抑制する必要がある。
- [0015] そこで、ジャンクションダウン方式が適用される半導体レーザ素子では、例えば図8

A一図8Cに示したとおり、リッジの両側にサポート102・102を設け、活性層にて発生する熱を、リッジ101及びサポート102・102を介してサブマウント110に伝達させるようにしている。

[0016] しかし、上記した従来の半導体レーザ素子の構成では、リッジーサポート間距離が $70\mu\text{m}$ と比較的広めに設定されており、また、チップ幅に対するサポート幅の割合は $(100/300) \times 100 \div 33\%$ と比較的小さいため、実際にはリッジ101下部の活性層にて発生した熱がサポート102・102を介してサブマウント110に伝達されにくい。そのため、実際には素子の放熱が不十分であり、活性層の温度上昇を確実に抑制できるまでには至らず、その結果、動作電流が上昇(温度特性が低下)し、素子の信頼性が確実に向上するまでには至っていない。

[0017] なお、一方で、リッジーサポート間距離を短くしすぎるとリッジ101とサポート102・102間のエッチングがしにくく、また、チップ幅に対するサポート幅の割合が大きすぎると、リッジ101やサポート102・102のエッチングストップ層までのエッチングの際に、エッチングの進行を目視で確認するための領域が減るため、エッチングの進行を目視で確認することが困難となり、素子の製造がかえって困難となるため、妥当ではない。

[0018] 加えて、ツインストライプ型の半導体レーザ素子においては、1個のリッジ101に対して、一方の側(図9Aないし図9Hでは素子外側)にしかサポート102を形成していないため、上述の問題はより顕著になる。

[0019] 本発明は、上記の問題点を解決するためになされたものであって、その目的は、ツインストライプ型の半導体レーザ素子において、(1)リッジを複数有する素子の製造時に、各リッジの両側に塗布されるレジストの膜厚を均一化することができ、これによって構造上の不良を無くし、(2)素子の製造困難性を回避しながら、(3)素子の放熱性を確実に向上させることによって、素子の温度特性を確実に向上させ、これによって素子の温度特性及び信頼性を向上させることができる半導体レーザ素子及びその製造方法を提供することにある。

#### 課題を解決するための手段

[0020] 本発明の半導体レーザ素子は、リッジを保護する一対の第1サポートの内側に、前記リッジが複数並設された半導体レーザ素子であって、前記複数のリッジの間に、前

記リッジを保護する第2サポートが設けられていることを特徴としている。

- [0021] 上記の構成によれば、並設された複数のリッジの外側に一对のサポート(第1サポート)が形成されているが、その複数のリッジの間にもサポート(第2サポート)が形成されている。これにより、例えば、素子製造時に素子表面にレジストを塗布してスピニングコートを行っても、リッジよりも素子内側のレジストがリッジ間の溝に流れるのを、この第2サポートである程度抑えることができ、リッジに対して素子内側のレジスト膜厚が素子外側に比べて大幅に薄くなるのを回避することができる。その結果、その後のエッチング工程(例えば、リッジを覆うように形成されるブロック層のリッジトップの部分のエッチング工程)にて、素子内側のレジストの下層(リッジトップ以外のブロック層)までエッチングされ、素子構造が不良となるのを回避することができ、素子特性の劣化を回避することができる。
- [0022] 特に、上述した第2サポートが、各リッジに対応して設けられていれば、1個のリッジの両側に個々にサポート(第1サポート及び第2サポート)が形成され、1個のリッジが第1サポートと第2サポートとで挟まれる位置関係となる。したがって、各リッジに対して素子内側のレジスト膜厚が素子外側に比べて薄くなるのを、各リッジごとに確実に回避することができ、上述した構造不良による素子特性の劣化を確実に回避することができる。
- [0023] また、素子の最外縁にエッチングの進行を確認するためのモニタ領域が設けられていれば、上述した第2サポートの形成によって、素子内側の領域にてその後のエッチングの進行が確認できなくても、素子最外縁のモニタ領域にてそれを確認することができる。その結果、エッチング不良による素子の構造不良が発生するのを回避することができる。
- [0024] また、このモニタ領域が、素子を分離するための分離溝を兼ねていれば、当該分離溝に、素子分離としての機能とエッチングの際のモニタ機能とを両方持たせることができ、上記のモニタ領域を分離溝で代用することができる。
- [0025] さらに、前記リッジの中心から前記サポートにおける前記リッジ側の端までの距離(リッジーサポート間距離)が、 $20\ \mu\text{m}$ よりも大きく、 $50\ \mu\text{m}$ 未満に設定されていれば、 $50\ \mu\text{m}$ 未満のリッジーサポート間距離は、従来の $70\ \mu\text{m}$ に比べて十分に短いので、リッ

ジ下方の活性層にて発生した熱が、リッジだけでなくサポートにも確実に伝達される。これにより、上記の熱をリッジ及びサポートを介して外部（例えば、ジャンクションダウン方式であれば、サブマウントを介して保持体）に確実に放散することができ、素子の放熱性を確実に向上させることができる。その結果、活性層での温度上昇を確実に抑制して、素子の温度特性を確実に向上させることができ（例えば一定の光出力を得るための動作電流を確実に低減することができる）、素子の信頼性を確実に向上させることができる。また、リッジーサポート間距離は $20\text{ }\mu\text{ m}$ よりも大きいので、リッジーサポート間のエッチングに支障をきたすことはなく、素子の製造の困難性を十分に回避することができる。

[0026] また、リッジーサポート間距離は、 $20\text{ }\mu\text{ m}$ よりも大きく、 $40\text{ }\mu\text{ m}$ 以下に設定されていることが好ましく、 $20\text{ }\mu\text{ m}$ よりも大きく、 $33\text{ }\mu\text{ m}$ 以下に設定されていることがさらに好ましい。このように、リッジーサポート間距離の上限を小さくすることにより、素子の放熱性をさらに確実に向上させ、素子の信頼性をさらに確実に向上させることができる。特に、リッジーサポート間距離が $30\text{ }\mu\text{ m}$ 以上 $33\text{ }\mu\text{ m}$ 以下に設定されていれば、上記の効果を確実に得ることができるとともに、リッジーサポート間のエッチング領域も広がるため、そのエッチングがしやすくなる。

[0027] また、半導体レーザ素子のチップ幅( $W_c$ )に対する前記サポートの幅( $W_{ss}$ ; 全サポートの幅の合計)の割合( $R_w$ )が、 $33\%$ よりも大きく、 $52\%$ 未満に設定されていれば、従来よりもサポート面積が確実に増える。なお、サポート面積とは、素子を上方から見た場合のサポート表面の平面的な面積を指す。これにより、サポートでの放熱効果、すなわち、活性層にて発生した熱の外部への放熱効果を確実に向上させることができる。したがって、活性層での温度上昇を確実に抑制して、素子の温度特性を確実に向上させることができる（例えば一定の光出力を得るための動作電流を確実に低減することができる）。その結果、素子の信頼性を確実に向上させることができる。

[0028] また、サポート幅は、チップ幅の $52\%$ 未満であるので、リッジ及びサポートのエッチングの際のモニタ領域（エッチングストップ層までのエッチングの進行を確認するための領域）を十分に確保することができる。その結果、リッジ及びサポートのエッチングに支障をきたすことはなく、素子の製造の困難性を十分に回避することができる。



- [0029]   ところで、素子におけるリッジ長手方向の長さが一定の場合、チップ幅に対するサポート幅の割合は、素子面積(素子を上方から見た場合の素子表面の平面的な面積)に対するサポート面積の割合と等しい。したがって、素子面積に対するサポート面積の割合が、33%よりも大きく、52%未満に設定されていても、上記と同様の効果を奏すると言える。また、この場合、サポートの平面形状が矩形に限定されなくなるので、種々の平面形状のサポートを構成することができ、素子のバリエーションを増大させることができる。
- [0030]   また、サポートの幅は、素子のチップ幅の44%よりも大きく、50%未満に設定されていることが望ましい。サポートの幅が素子のチップ幅の44%よりも大きいと、サポート面積がより増大することによって、サポートでの放熱効果がより増大する。したがって、活性層での温度上昇をより確実に抑えて、素子の温度特性をより確実に向上させることができる。その結果、素子の信頼性をより確実に向上させることができる。
- [0031]   また、サポート幅が素子のチップ幅の50%未満に設定されていれば、上記のモニタ領域をより広く確保できるので、リッジ及びサポートのエッチングに支障が生じるのをより確実に回避することができ、素子の製造の困難性をより確実に回避することができる。
- [0032]   また、上記と同様の考え方より、素子面積に対するサポートの面積の割合が、44%よりも大きく、50%未満に設定されていても、上記と同様の効果を得ることができ、しかも、種々の平面形状でサポートを構成することができる。
- [0033]   また、本発明の半導体レーザ素子の製造方法は、素子表面に複数のリッジを並べて形成するとともに、各リッジに対して、各リッジを挟むように複数のサポートを形成する工程と、前記リッジ及び前記サポートの表面にブロック層を形成する工程と、スピコート法により、前記ブロック層の表面に保護膜を塗布する工程と、前記リッジのトップを覆う前記保護膜を除去する工程と、前記保護膜をマスクとして、前記リッジのトップを覆う前記ブロック層を除去する工程と、前記リッジを覆うように電極層を形成する工程と、を有していることを特徴としている。
- [0034]   この製造方法によれば、複数並設される各リッジを挟むようにサポートが形成される。つまり、各リッジの両側(素子内側及び素子外側)にサポートが形成される。この状

態で、各リッジ及び各サポート表面にブロック層を形成し、このブロック層の表面に保護膜(例えばレジスト)をスピコートにより塗布したときには、各リッジに対して素子内側のレジストがリッジ間の溝に流れるのを、リッジに対して素子内側のサポートである程度抑えることができる。これにより、リッジに対して素子内側のレジスト膜厚が、素子外側のレジスト膜厚より大幅に薄くなることのない。

- [0035] したがって、その後、リッジトップを覆うレジストを除去し、そのレジストをマスクとしてリッジのトップを覆うブロック層を除去するときでも、リッジよりも素子内側のレジスト下層のブロック層まで除去する事態を回避することができ、次にリッジを覆うように電極層を形成したときでも、この電極層がリッジ以外でブロック層の間に入り込むのを回避することができる。その結果、素子構造が不良となるのを回避することができ、素子特性の劣化を回避することができる。

#### 図面の簡単な説明

- [0036] [図1]本発明の実施の一形態に係る半導体レーザ素子の概略の構成を示す断面図である。
- [図2]上記半導体レーザ素子をサブマウントにジャンクションダウン方式で接続した状態を示す断面図である。
- [図3]図3Aないし図3Hは、図1に示した半導体レーザ素子の製造工程を示す断面図である。
- [図4]図1に示したツインストライプ型の半導体レーザ素子うち的一方の赤色レーザ射出部を単独の半導体レーザ素子として作製した場合の概略構成を示す断面図である。
- [図5]リッジサポート間距離と動作電流との関係を示すグラフである。
- [図6]チップ幅に対するサポート幅の割合と動作電流との関係を示すグラフである。
- [図7]図7Aないし図7Cは、サポートの他の構成例を示す平面図である。
- [図8]図8Aは、従来の半導体レーザ素子の平面図であり、図8Bは、上記半導体レーザ素子の概略の構成を示す断面図であり、図8Cは、上記半導体レーザ素子をサブマウントにジャンクションダウン方式で接続した状態を示す断面図である。
- [図9]図9Aないし図9Hは、従来の半導体レーザ素子の製造工程を示す断面図であ

る。

[図10]図10Aないし図10Dは、図9Eの及び図9Fの製造工程の一部を詳細に示す断面図である。

### 符号の説明

- [0037]    5    分離溝(モニタ領域)  
          16   リッジ  
          17   サポート  
          17a 第1サポート  
          17b 第2サポート  
          18   ブロック層  
          19   p型電極(電極層)  
          36   リッジ  
          37   サポート  
          37a 第1サポート  
          37b 第2サポート  
          38   ブロック層  
          39   p型電極(電極層)  
          51   ブロック層  
          52   レジスト(保護膜)

### 発明を実施するための最良の形態

- [0038]    本発明の実施の一形態について、図面に基づいて説明すれば、以下のとおりである。

- [0039]    図1は、本発明に係る半導体レーザ素子(以下、単に素子と称する)の概略の構成を示す断面図である。この素子1は、異なる波長のレーザ光である赤色レーザ光と赤外レーザ光とを2本出射することが可能な、ツインストライプ型の素子1である。この素子においては、n型(第1導電型)GaAsからなる基板10上には、赤色レーザ光を出射する赤色レーザ光出射部2と、赤外レーザ光を出射する赤外レーザ光出射部3とが形成されている。

- [0040] また、基板10上において、赤色レーザ光出射部2と赤外レーザ光出射部3との間には、短絡を防止するための分離溝4が設けられている。また、素子の最外縁には、分離溝5が設けられている。この分離溝5は、本来、同一ウェハにおいて隣接して形成される素子を分離するためのものであるが、本実施形態では、後述する製造過程でのエッチング時に、エッチングの進行を確認するためのモニタ領域としても機能している。
- [0041] 赤色レーザ光出射部2は、基板10に、n型GaInPからなるバッファ層11、n型AlGaInPからなるn型クラッド層12、GaInP／AlGaInPからなり、赤色レーザ光を出射する活性層13、p型(第2導電型)AlGaInPからなるp型クラッド層14及びp型GaInPからなるエッチングストップ層15がこの順で積層されて構成されている。
- [0042] エッチングストップ層15上には、ストライプ状のリッジ16が形成されているとともに、そのリッジ16の両側には、リッジ16と所定間隔をおいてサポート17が形成されている。サポート17は、後述するサブマウント45(図2参照)に素子を安定して取り付けるための支持部であり、このサポート17の存在により、リッジ16が保護される。
- [0043] サポート17は、リッジ16に対して素子外側に位置する第1サポート17aと、素子内側に位置する第2サポート17bとで構成されている。リッジ16のトップを除く表面には、n型AlInPからなるブロック層18が積層されており、リッジ16のトップ及びブロック層18上には、p型電極19が積層されている。一方、基板10の裏面側には、赤外レーザ光出射部3と共用されるn型電極20が形成されている。
- [0044] 上記のリッジ16及びサポート17は、p型AlGaInPからなるp型クラッド層21、p型GaInPからなるコンタクト層22及びp型GaAsからなるコンタクト層23がこの順で積層されて構成されている。
- [0045] 一方、赤外レーザ光出射部3は、基板10に、n型AlGaAsからなるバッファ層31、n型AlGaAsからなるn型クラッド層32、AlGaAs／AlGaAsからなり、赤外レーザ光を出射する活性層33、p型AlGaAsからなるp型クラッド層34及びp型AlGaAsからなるエッチングストップ層35がこの順で積層されて構成されている。
- [0046] エッチングストップ層35上には、ストライプ状のリッジ36が形成されているとともに、そのリッジ36の両側には、リッジ36と所定間隔をおいてサポート37が形成されている。

。サポート37は、後述するサブマウント45(図2参照)に素子を安定して取り付けるための支持部であり、このサポート37の存在によりリッジ36が保護される。すなわち、サポート37は、素子加工工程において加わる応力によってリッジ36が折れてしまうことを阻止するように機能する。また、サポート37は、放熱部材としても有効に機能する。

[0047] サポート37は、リッジ36に対して素子外側に位置する第1サポート37aと、素子内側に位置する第2サポート37bとで構成されている。リッジ36のトップを除く表面には、n型AlGaAsからなるブロック層38が積層されており、リッジ36のトップ及びブロック層38上には、p型電極39が積層されている。

[0048] 上記のリッジ36及びサポート37は、p型AlGaAsからなるp型クラッド層41、p型GaAsからなるコンタクト層42がこの順で積層されて構成されている。

[0049] 上記構成の素子は、図2に示すように、基板10におけるp型電極19・39側をサブマウント45に取り付け、このサブマウント45を介して保持体(図示せず)に保持される(ジャンクションダウン方式)。

[0050] このように、本実施形態の素子では、複数のリッジ36・16が一对の第1サポート37a・17aの内側に並設されており、その複数のリッジ36・16の間に、第2サポート37b・17bが設けられている。特に、本実施形態では、第2サポート37b・17bが、各リッジ36・16に対応して設けられている。この結果、リッジ36は、第1サポート37aと第2サポート37bとで所定間隔をおいて挟まれるように設けられ、リッジ16は、第1サポート17aと第2サポート17bとで所定間隔をおいて挟まれるように設けられている。

[0051] また、本実施形態では、素子幅は、例えば300  $\mu\text{m}$ であり、リッジ16・36の幅は、それぞれ例えば2  $\mu\text{m}$ である。また、リッジ16・36間の距離は、例えば110  $\mu\text{m}$ であり、リッジ16・36の中心と分離溝4の中心との距離は、それぞれ例えば55  $\mu\text{m}$ である。さらに、リッジ16の中心からサポート17(第1サポート17a又は第2サポート17b)のリッジ16側の端までの距離、及びリッジ36の中心からサポート37(第1サポート37a又は第2サポート37b)のリッジ36側の端までの距離は、それぞれ例えば20  $\mu\text{m}$ である。つまり、リッジ16に対して、第1サポート17a及び第2サポート17bは線対称の位置関係にあり、リッジ36に対して、第1サポート37a及び第2サポート37bは線対称の位置関係にある。

- [0052] 次に、上記構成の素子の製造方法について、図1及び図3A～図3Hに基づいて説明する。
- [0053] まず、基板10上に、バッファ層11・31、n型クラッド層12・32、活性層13・33、p型クラッド層14・34、エッチングストップ層15・35、p型クラッド層21・41及びコンタクト層22・23・42を、赤色レーザ光出射部2及び赤外レーザ光出射部3のそれぞれに対応して積層形成する。そして、p型クラッド層21・41、コンタクト層22・23・42をドライエッチング及びウェットエッチングすることにより、2本のリッジ16・36と、リッジ16・36の外側に第1サポート17a・37aと、リッジ16・36の内側に第2サポート17b・37bとを形成する(図3A参照)。
- [0054] 次に、素子表面にブロック層51(後にブロック層18・38となる)を形成し(図3B参照)、その上に保護膜であるレジスト(以下、単にレジストと称する)52をスピコートにより塗布する(図3C参照)。そして、リッジ16・36のトップ表面のレジスト52を除去すべく、当該トップ以外を遮光する遮光部53をマスクとして、レジスト52に対して露光する(図3D参照)。これにより、リッジ16・36のトップ及びその近傍のレジスト52が除去される(図3E参照)。
- [0055] 続いて、リッジ16・36のトップのブロック層51をエッチングして除去する(図3F参照)。その後、レジスト52を剥離し(図3G参照)、リッジ16・36のトップとそれぞれ導通するp型電極19・39を素子表面に形成する(図3H参照)。一方、基板の裏面(p型電極19・39とは反対側)には、n型電極20(図1参照)を形成する。その後、隣接する素子を分離溝5で個々の素子に分離する。
- [0056] ここで、上記の製造過程において、リッジ16・36の両側でのレジスト52の膜厚を、第2サポート17b・37b有りの場合(本発明)と、無しの場合(従来)とで測定した。この測定は、ウェハ中心部の隣り合う3個の素子A、B、Cと、それ以外の1個の素子Dの合計4個の素子について、(1)リッジトップのレジストaの膜厚[ $\mu\text{m}$ ]、(2)リッジよりも素子外側のレジストbの膜厚[ $\mu\text{m}$ ] (3)リッジよりも素子内側のレジストcの膜厚[ $\mu\text{m}$ ]を、SEM(走査型電子顕微鏡)を用いて行った。表1は、そのときの測定結果を示している。
- [0057] [表1]

単位[μm]								
	レジスト	素子				平均	bとcとの膜厚差	aとbとの膜厚比
		A	B	C	D			
赤色	a	0.78	0.97	0.73	0.78	0.82(0.78)	0.09(0.15)	2.21(2.06)
	b	1.80	1.80	1.76	1.83	1.80(1.61)		
	c	1.90	1.90	1.85	1.90	1.89(1.76)		
赤外	a	1.04	1.11	1.04	1.09	1.07(0.95)	0.07(0.10)	1.66(1.69)
	b	1.78	1.78	1.78	1.76	1.78(1.61)		
	c	1.80	1.85	1.85	1.88	1.85(1.71)		

( )内は、第2サポート無しときの値

( )内は、第2サポート無しの際の値

表1の結果、リッジ両側のレジストb・cの膜厚差は、赤色レーザ光照射部2については、第2サポート17bを設けることによって、 $0.15\mu\text{m}$ から $0.09\mu\text{m}$ へと減少しており、リッジを挟む両側のレジスト厚がより均一に近づいていることがわかる。 $0.06\mu\text{m}$ の減少幅は、 $0.15\mu\text{m}$ の40%に相当し、レジスト膜厚の不均一性が40%改善されたことを示している。

[0058] また、赤外レーザ光照射部3についても、第2サポート37bを設けることによって、 $0.10$ から $0.07$ へと減少しており、リッジを挟む両側のレジスト厚がより均一に近づいていることがわかる。 $0.03\mu\text{m}$ の減少幅は、 $0.10\mu\text{m}$ の30%に相当し、レジスト膜厚の不均一性が30%改善されたことを示している。

[0059] 以上のように、本実施形態の素子は、一対の第1サポート17a・37aの間に、複数のリッジ16・36が並設され、その複数のリッジ16・36の間に第2サポート17b・37bが設けられている構成である。これにより、素子製造時に素子表面にレジスト52を塗布してスピコートを行っても、リッジ16・36よりも素子内側のレジスト52がリッジ間の溝に流れるのを、この第2サポート17b・37bである程度抑えることができる。そして、リッジ16・36に対して素子内側のレジスト膜厚が素子外側に比べて大幅に薄くなるのを回避することができる。

[0060] したがって、その後、リッジトップを覆うレジスト52を除去し、そのレジスト52をマスクとしてリッジトップを覆うブロック層51を除去するときでも、従来のように、リッジ16・36よりも素子内側のレジスト52下層のブロック層51まで除去する事態を回避することができ、次にリッジ16・36を覆うように電極層（本実施形態ではp型電極19・39）を形成したときでも、この電極層がリッジ16・36以外でブロック層51の間に入り込むのを回避することができる。その結果、素子構造が不良となるのを回避することができ、素子

特性の劣化を回避することができる。

- [0061] 特に、リッジ16・36間に1個の第2サポートだけでなく、本実施形態のように各リッジ16・36に対応して第2サポート17b・37bを設けることにより、レジスト52の素子内側から素子外側への流れを、各リッジ16・36について第2サポート17b・37bで抑えることができる。そして、各リッジ16・36に対して素子内側のレジスト膜厚が素子外側に比べて薄くなるのを、各リッジ16・36ごとに確実に回避することができる。その結果、上述した本実施形態の効果を確実に得ることができる。
- [0062] また、リッジ16・36の両側にサポート17・37が形成されるので、片側のみにサポート17・37が形成される場合に比べて、組み立てダメージを低減できるという効果もある。つまり、リッジ16・36の片側にのみサポート17・37が形成される素子構造では、素子をサブマウント45を介して保持体に取り付けたときに、片側のサポート17・37にのみ負荷がかかる。しかし、本実施形態の素子構造では、両側のサポート17・37に組み立て時の負荷を分散させることができ、より信頼性の高い素子を提供することが可能となる。
- [0063] また、1個の素子について、第1サポート17a・37aのみならず、第2サポート17b・37bを設けることにより、サブマウント45を介して素子を保持体に取り付けたときに、活性層13・33からのレーザ出力によって発生する熱を、第1サポート17a・37aのみならず、第2サポート17b・37bを介してサブマウント45側に伝達させることができる。つまり、第2サポート17b・37bを素子に設けた場合は、第2サポート17b・37bを素子に設けない場合に比べて、素子の放熱性が向上する。これにより、活性層13・33での温度上昇を抑えて、例えば一定の光出力(例えば70℃で40mW)を得るための動作電流(電極間を流れる電流)を低減させることができる。したがって、このような温度特性の向上により、素子の信頼性を向上させることができる。
- [0064] 次に、素子の放熱性の向上及び温度特性が向上するように、以下の半導体レーザ素子の実験結果に基づいて、リッジ16の中心からサポート17・17におけるリッジ16側の端までの距離(以下、リッジーサポート間距離と称する)Waを設定した。この点について図4を用いて説明する。なお、図4は、図1に示したツインストライプ型の半導体レーザ素子うちの一方の赤色レーザ射出部2を単独の半導体レーザ素子として作



製した場合の概略構成を示す断面図であり、図1に示した構成と同じ構成部分には同一の参照符号を付与してその詳細な説明は省略する。

[0065] 本実施形態では、周囲温度25℃のときに一定の光出力 $P_o$  (例えば40mW)を得るための動作電流 $I_{op}$  (約85mA)に対する、周囲温度70℃のときに一定の光出力 $P_o$  (例えば40mW)を得るための動作電流 $I_{op}$ の変化を、リッジ-サポート間距離 $W_a$ を変化させて調べた。その結果を表2に示す。なお、チップ幅 $W_c$ は、素子1個の幅のことであり、本実施形態では300  $\mu$ mとした。また、サポート17・17の各サポート幅 $W_s$ は、それぞれ50  $\mu$ mとした(サポート17・17の幅の総和を $W_{ss}$ とする)。図5は、表2の数値に基づいて作成した、リッジ-サポート間距離 $W_a$ と動作電流 $I_{op}$ との関係を示すグラフである。

[0066] [表2]

チップ幅 $W_c[\mu\text{m}]$	リッジ-サポート間 距離 $W_a[\mu\text{m}]$	サポート幅 $W_s[\mu\text{m}]$	チップ幅 $W_c$ に対する 全サポート幅 $W_{ss}$ の割合 $R_w$	動作電流 $I_{op}[\text{mA}]$
300	20	50	33%	124.6
300	30	50	33%	122.9
300	50	50	33%	133.6
300	70	50	33%	133.6

図5より、リッジ-サポート間距離 $W_a$ が従来と同じ70  $\mu$ mでは、動作電流 $I_{op}$ は133.6mAであり、最大となっている。また、リッジ-サポート間距離 $W_a$ が50  $\mu$ m以上70  $\mu$ m以下の範囲でも、動作電流 $I_{op}$ は上記と同じ133.6mAであり、最大となっている。これは、リッジ-サポート間距離 $W_a$ が大きいと、活性層13にて発生した熱がサポート17・17に伝達されにくく、放熱性が優れていないため、活性層13での温度上昇により、動作電流 $I_{op}$ が増大しているためと思われる。

[0067] 一方、リッジ-サポート間距離 $W_a$ が30  $\mu$ mでは、動作電流 $I_{op}$ は122.9mAと最小であり、放熱性が向上した結果、動作電流 $I_{op}$ が最小になったものと思われる。つまり、リッジ-サポート間距離 $W_a$ が30  $\mu$ mでは、素子の放熱性向上の効果が一番高いと思われる。

[0068] また、リッジ-サポート間距離 $W_a$ が20  $\mu$ mでは、動作電流 $I_{op}$ は124.6mAであり、

最小ではないが、リッジーサポート間距離 $W_a$ が従来の $70\ \mu\text{m}$ のときよりも大幅に低減していることは言え、放熱性向上の効果は依然として高いと言える。ただし、リッジーサポート間距離 $W_a$ が $20\ \mu\text{m}$ ちょうどでは、リッジ16とサポート17・17間のp型クラッド層21、コンタクト層22及びコンタクト層23のエッチングを精度よく行う必要があり、製造の困難性を伴うので、リッジーサポート間距離 $W_a$ は、 $20\ \mu\text{m}$ よりも大きくとる必要がある。また、図5のグラフより、リッジーサポート間距離 $W_a$ が $33\ \mu\text{m}$ のときも、動作電流 $I_{op}$ が上記と同じ $124.6\text{mA}$ であり、放熱性向上の効果が高いと言える。

[0069] また、リッジーサポート間距離 $W_a$ が $40\ \mu\text{m}$ では、図5のグラフから動作電流 $I_{op}$ は $128.0\text{mA}$ 付近であり、リッジーサポート間距離 $W_a$ が $30\ \mu\text{m}$ 、 $20\ \mu\text{m}$  ( $33\ \mu\text{m}$ ) の次に、放熱性向上の効果が高いと言える。

[0070] 以上のことから、素子の放熱性向上の効果を得るためには、リッジーサポート間距離 $W_a$ の上限としては、 $50\ \mu\text{m}$ 未満、 $40\ \mu\text{m}$ 以下、 $33\ \mu\text{m}$ 以下、 $30\ \mu\text{m}$ 以下を考慮することができる。

[0071] また、リッジーサポート間距離 $W_a$ の下限としては、リッジーサポート間のエッチングを容易にすることを主に考慮して、 $20\ \mu\text{m}$ よりも大きい、 $30\ \mu\text{m}$ 以上、 $33\ \mu\text{m}$ 以上、 $40\ \mu\text{m}$ 以上を考慮することができる。

[0072] したがって、リッジーサポート間距離 $W_a$ の適切な範囲としては、 $20\ \mu\text{m}$ よりも大きく $50\ \mu\text{m}$ 未満の範囲で、上記した下限と上限とを適宜組み合わせることによって設定することが可能である。つまり、リッジーサポート間距離 $W_a$ は、 $20\ \mu\text{m}$ よりも大きく $50\ \mu\text{m}$ 未満の範囲、 $20\ \mu\text{m}$ よりも大きく $40\ \mu\text{m}$ 以下の範囲、 $20\ \mu\text{m}$ よりも大きく $33\ \mu\text{m}$ 以下の範囲、 $20\ \mu\text{m}$ よりも大きく $30\ \mu\text{m}$ 以下の範囲を考慮することができる。また、リッジーサポート間距離 $W_a$ は、 $30\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 未満の範囲、 $30\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下の範囲、 $30\ \mu\text{m}$ 以上 $33\ \mu\text{m}$ 以下の範囲を考慮することができる。さらに、リッジーサポート間距離 $W_a$ は、 $33\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 未満、 $33\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下の範囲を考慮することもでき、 $40\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 未満の範囲も考慮することができる。

[0073] ここで、図5に示すように、リッジーサポート間距離 $W_a$ が、 $20\ \mu\text{m}$ よりも大きく $30\ \mu\text{m}$ 以下の範囲をaとし、 $30\ \mu\text{m}$ 以上 $33\ \mu\text{m}$ 以下の範囲をbとし、 $33\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下の範囲をcとし、 $40\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 未満の範囲をdとする。なお、境界の値は、隣

接するどちらの範囲に含めて考えてもよい。

[0074] 動作電流 $I_{op}$ の低減に最も着目するならば、リッジサポート間距離 $W_a$ の範囲は、 $a$ と $b$ とのうち少なくとも一方を含む範囲( $a+b$ 、 $a$ 、 $b$ )であることが一番好ましく、次に、それに $c$ を含む範囲(例えば $a+b+c$ 、 $b+c$ 、 $c$ で表される範囲)であることが好ましく、その次に、それに $d$ を含む範囲(例えば $a+b+c+d$ 、 $b+c+d$ 、 $c+d$ 、 $d$ で表される範囲)であることが好ましいと言える。

[0075] 以上のように、活性層13の上方に位置するリッジ16の側方にサポート17・17を有する素子において、上記の実験結果に基づき、リッジサポート間距離 $W_a$ が、 $20\mu m$ よりも大きく、 $50\mu m$ 未満に設定されていれば、リッジサポート間距離 $W_a$ が $70\mu m$ に設定されている従来に比べて、一定の光出力(例えば40mW)を得るための動作電流 $I_{op}$ を確実に低減することができる。このことは、言い換えれば、リッジサポート間距離 $W_a$ が従来の $70\mu m$ よりも十分短くなったことにより、活性層13にて発生した熱がリッジ16及びサポート17・17を介してサブマウントに確実に伝達され、素子の放熱性が向上し、素子の温度特性が向上したことを意味する。したがって、リッジサポート間距離 $W_a$ を上記範囲に設定することにより、素子の信頼性を確実に向上させることができる。また、リッジサポート間距離 $W_a$ は $20\mu m$ よりも大きいので、リッジサポート間のエッチングに支障をきたすことはなく、素子の製造の困難性を十分に回避することができる。

[0076] また、リッジサポート間距離 $W_a$ の下限を $30\mu m$ 以上とすれば、リッジサポート間のエッチング領域も広がるため、エッチングがよりしやすくなる。

[0077] 次に、素子のチップ幅 $W_c$ に対するサポート17・17の幅 $W_{ss}$ の割合(以下、幅比 $R_w$ と記載する)を設定した。なお、幅 $W_{ss}$ とは、全サポート17・17の幅を合計したものを指し、1個のサポート17の幅は幅 $W_s$ と記載する。つまり、2個のサポート17・17を有する本実施形態の素子では、 $W_{ss}=2W_s$ である。また、幅比 $R_w=(\text{サポート幅 } W_s / \text{チップ幅 } W_c) \times 100$ である。

[0078] 本実施形態では、周囲温度 $25^\circ\text{C}$ のときに一定の光出力 $P_0$ (例えば40mW)を得るための動作電流 $I_{op}$ (約85mA)に対する、周囲温度 $70^\circ\text{C}$ のときに一定の光出力 $P_0$ (例えば40mW)を得るための動作電流 $I_{op}$ の変化を、幅比 $R_w$ を変化させて調べた。そ

の結果を表3に示す。

[0079] なお、チップ幅 $W_c$ は、本実施形態では $300\ \mu\text{m}$ とした。また、リッジサポート間距離 $W_a$ は、リッジ16の中心からサポート17・17のリッジ16側の端までの距離を指し、本実施形態では、リッジサポート間距離 $W_a$ とサポート17の幅 $W_s$ との和を $120\ \mu\text{m}$ に維持しながら、サポート幅 $W_s$ を変化させ、幅比 $R_w$ を変化させた。図6は、表3の数値に基づいて作成した、幅比 $R_w$ と動作電流 $I_{op}$ との関係を示すグラフである。

[0080] [表3]

チップ幅 $W_c[\mu\text{m}]$	リッジサポート間 距離 $W_a[\mu\text{m}]$	1個のサポート 幅 $W_s[\mu\text{m}]$	チップ幅 $W_c$ に対する 全サポート幅 $W_{ss}$ の割合 $R_w$	動作電流 $I_{op}[\text{mA}]$
300	20	100	67%	116.6
300	30	90	60%	120.2
300	50	70	47%	128.8
300	70	50	33%	133.0
300	90	30	20%	134.0

図6より、幅比 $R_w$ が20%以上33%以下の範囲では、動作電流 $I_{op}$ は1mAしか減少していない。これは、活性層13にて発生した熱のサポート17・17での放熱効率が優れていないため、活性層13での温度上昇を抑制する効果が低く、温度特性の低下があまり抑制できていないことを意味している。

[0081] これに対して、幅比 $R_w$ が33%を超えると、動作電流 $I_{op}$ は著しく低減されている。これは、サポート17・17のサポート面積が増大することによって、サポート17・17での放熱効果が著しく上昇し、活性層13での温度上昇を効果的に抑制できていることを意味している。したがって、幅比 $R_w$ が33%を超えると、素子の温度特性の低下を確実に抑制できていると言える。特に、幅比 $R_w$ が40%を超えると、動作電流 $I_{op}$ の低減はさらに著しく、素子の温度特性の向上の効果が一段と高いと言える。

[0082] 一方、リッジ16及びサポート17・17のエッチング時には、リッジ16とサポート17・17との間の領域を、エッチングの進行を目視で確認するためのモニタ領域として確保する必要がある。幅比 $R_w$ が52%以上では、このモニタ領域にてエッチングの進行を目視で確認できないことが実験的に分かっている。

[0083] なお、ウェハ上にモニタ領域を予め設けておくことにより、幅比 $R_w$ の上限を増大さ

せる方法もあるが、これでは、1個のウェハから採れる素子の数が、ウェハ上にモニタ領域を設けない場合に比べて10%程度減少するため、素子の製造効率が低減してしまう。

[0084] したがって、幅比 $R_w$ としては、33%よりも大きく、52%未満であることが望ましく、40%よりも大きく、52%未満であることがさらに望ましい。また、幅比 $R_w$ の上限が50%未満であれば、エッチングのためのモニタ領域がさらに広がることから、幅比 $R_w$ は、33%よりも大きく、50%未満であることがさらに望ましく、40%よりも大きく、50%未満であることが、より一層望ましいと言える。

[0085] 以上のように、活性層13の上方に位置するリッジ16の側方にサポート17・17を有する素子において、上述の実験結果に基づいて、チップ幅 $W_c$ に対するサポート幅 $W_{ss}$ の割合 $R_w$ が、33%よりも大きく、52%未満に設定されていれば、従来よりもサポート面積が確実に増えるので、サポート17・17での放熱効果、すなわち、活性層13にて発生した熱の外部(例えばサブマウント)への放熱効果を確実に向上させることができる。したがって、活性層13での温度上昇を確実に抑制して、素子の動作電流 $I_{op}$ を確実に低減することができる。その結果、素子の温度特性を確実に向上させて、素子の信頼性を確実に向上させることができる。また、サポート幅 $W_{ss}$ は、チップ幅 $W_c$ の52%未満であるので、リッジ16及びサポート17・17のエッチングの際のモニタ領域を十分に確保することができ、素子の製造の困難性を十分に回避することができる。

[0086] また、幅比 $R_w$ が上記範囲に設定されることにより、サポート面積が従来よりも広がるので、サブマウントへの素子の取り付け時の安定性も確実に向上し、ジャンクションダウンで組み立てやすくなるというメリットもある。

[0087] ところで、素子の奥行方向の長さを一定としたとき、素子面積(素子を上方から見た場合の素子表面の平面的な面積)に対するサポート面積の割合(以下、面積比 $R_s$ と記載する)は、幅比 $R_w$ に比例する。したがって、上記した幅比 $R_w$ の範囲は、面積比 $R_s$ の範囲として言い換えることができ、この場合でも、上記と同様の効果を得ることができると言える。

[0088] つまり、面積比 $R_s$ が、33%よりも大きく、52%未満に設定されていれば、幅比 $R_w$

が、33%よりも大きく、52%未満に設定されている場合と同様の効果を得ることができ、面積比Rsが、40%よりも大きく、50%未満に設定されていれば、幅比Rwが、40%よりも大きく、50%未満に設定されている場合と同様の効果を得ることができると言える。

[0089] しかしながら、リッジが複数併設された半導体レーザ素子1においては、放熱性の向上だけを考えればサポート幅(第1サポート17a・37aの幅及び第2サポート17b・37bの幅)は極力広いほうが望ましいが、サポート幅を広げすぎるとサポート以外の部位におけるエッチングの進行を目視で確認することが困難となる。したがって、放熱性及びエッチングの確認のしやすさの両方を考慮すれば、リッジ16・36及びサポート17・37を除く部位の幅が素子幅の40%以上となるように、サポート17・37の幅を設定することが望ましい。また、リッジ16・36及びサポート17・37を除く部位の面積が素子面積の40%以上となるように、サポート17・37の面積を設定することが望ましい。

[0090] なお、本実施形態では、リッジ16に対して、第1サポート17a及び第2サポート17bが線対称であり、リッジ36に対して、第1サポート37a及び第2サポート37bが線対称である場合について説明した。しかし、この線対称性は必ずしも満たされなければならないものではなく、線対称でなくても、第2サポート17b・37bを設けることによる本実施形態の効果を得ることはできる。

[0091] すなわち、面積比Rsがそのような一定の範囲に収まるのであれば、サポート17・17の形状は、平面視でストライプ形状には限定されない。例えば、図7Aないし図7Cは、片側のサポート17の平面形状を示している。図7Aに示すように、サポート17は、リッジ16の長手方向両端部以外の部分に対応する部分で太く、リッジ16の長手方向両端部に対応する部分で細くなる形状であってもよい。また、逆に、図7Bに示すように、サポート17は、リッジ16の長手方向両端部以外の部分に対応する部分で細く、リッジ16の長手方向両端部に対応する部分で太くなる形状であってもよい。さらに、図7Cに示すように、サポート17は、リッジ16の長手方向両端部以外の部分に対応する部分に開口部が形成される形状であってもよい。

[0092] なお、他方のサポート17についても同様であり、上記いずれの平面形状を採用することもできる。また、一方のサポート17と他方のサポート17とで、別々の平面形状を

なすようにしてもよい。また、サポート17・17の形状は、図7Aないし図7Cで示した形状以外の形状とすることも勿論可能である。

[0093] なお、サポート17におけるリッジ16の長手方向両端部以外の部分に対応する部分とは、リッジ16における長手方向両端部以外の部分をサポート17方向に平行移動したときに、サポート17とオーバーラップする部分のことを指す。

[0094] なお、以上では、チップ幅 $W_c$ が $300\ \mu\text{m}$ の場合について説明したが、これに限定されるわけではなく、任意のチップ幅 $W_c$ において幅比 $R_w$ (面積比 $R_s$ )を適切に設定することにより、本発明の効果をを得ることができる。

[0095] また、本実施形態では、素子1の最外縁に分離溝5を設けており、この分離溝5をモニタ領域として活用している。上述したようにリッジ16・36の素子内側に第2サポート17b・37bを形成すると、その分、サポート以外の部位のエッチングの進行を目視で確認する領域が減り、その確認に支障が生じる。しかし、分離溝5を設けていることによって、この分離溝5をモニタ領域として活用できるので、エッチング不良による素子構造の不良が生じるのを回避することができる。

[0096] また、本来、分離溝5は、隣接する素子を切り離すための溝であるが、この分離溝5が上記のモニタ領域を兼ねているので、分離溝5とは別にモニタ領域を設けなくても済み、分離溝5を有効活用することができる。

[0097] 上記実施形態において、リッジ16並びにサポート17の高さ(p型電極は含まない)は、 $10\ \mu\text{m}$ 以下、好ましくは $2\sim 7\ \mu\text{m}$ の範囲に設定される。また、活性層13からリッジ16の頂上部までの間隔は、 $10\ \mu\text{m}$ 以下、好ましくは $2\sim 8\ \mu\text{m}$ の範囲に設定される。p型電極19の厚さは、 $1\sim 5\ \mu\text{m}$ に設定される。p型電極19を加えたリッジ16並びにサポート17の高さは、 $15\ \mu\text{m}$ 以下、好ましくは $3\sim 12\ \mu\text{m}$ の範囲に設定される。

[0098] なお、本実施形態では、異なる2波長のレーザ光を出射する素子について説明したが、複数のリッジを有する素子であれば、例えば同一波長のレーザ光を出射する素子についても、或いは、赤外領域や赤色領域のレーザ光を出射する素子だけでなく、緑や青領域、さらには青紫領域のレーザ光を出射する素子に対しても、本発明を適用することは可能である。

[0099] 例えば、青紫領域のレーザ光を出射する素子2を使用するのであれば、GaN基板

10上にn型AlGa<sub>N</sub>クラッド層12、InGa<sub>N</sub>井戸層及びGa<sub>N</sub>障壁層からなる3周期構造MQW活性層13、InGa<sub>N</sub>光ガイド層14、AlGa<sub>N</sub>エッチストップ層15、p型AlGa<sub>N</sub>クラッド層21、p型Ga<sub>N</sub>コンタクト層22を順に成長させて、上述の工程と同様に処理することにより、青紫領域のレーザ光を出射する素子2を形成することができる。

#### 産業上の利用可能性

[0100] 本発明は、例えばCD-R/RW、DVD-R/±RW、更には高密度のDVDなどの記録媒体に対して情報の記録、再生を行う情報記録再生装置の光源として使用される半導体レーザ素子及びその製造に利用可能である。



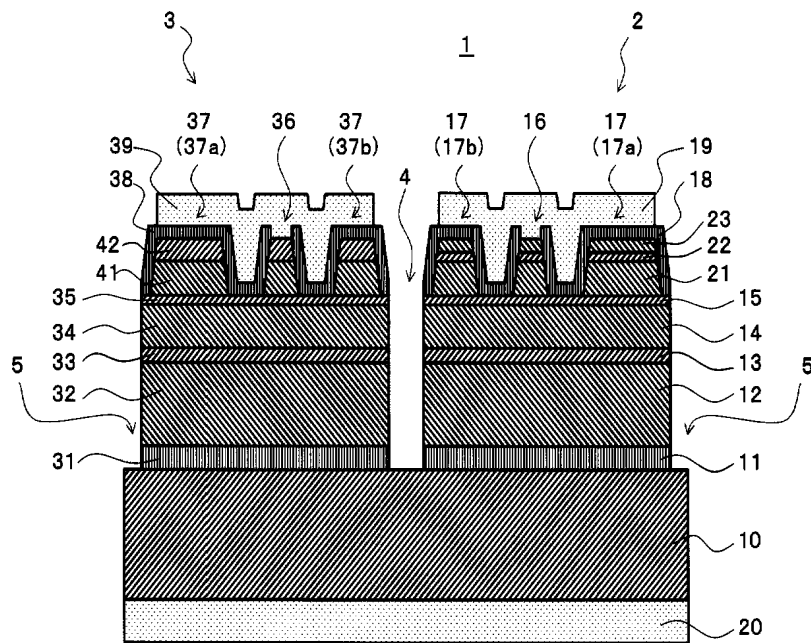
## 請求の範囲

- [1]      リッジを保護する一対の第1サポートの内側に、前記リッジが複数並設された半導体レーザ素子であって、  
        前記複数のリッジの間に、前記リッジを保護する第2サポートが設けられていることを特徴とする半導体レーザ素子。
- [2]      前記第2サポートは、各リッジに対応して設けられていることを特徴とする請求項1に記載の半導体レーザ素子。
- [3]      前記半導体レーザ素子の最外縁に、エッチングの進行を確認するためのモニタ領域が設けられていることを特徴とする請求項1又は2に記載の半導体レーザ素子。
- [4]      前記モニタ領域が、前記半導体レーザ素子を分離するための分離溝を兼ねていることを特徴とする請求項3に記載の半導体レーザ素子。
- [5]      前記リッジの中心から前記第1及び第2サポートにおける前記リッジ側の端までの距離が、 $20\mu\text{m}$ よりも大きく、 $50\mu\text{m}$ 未満に設定されていることを特徴とする請求項1に記載の半導体レーザ素子。
- [6]      前記距離が、 $20\mu\text{m}$ よりも大きく、 $40\mu\text{m}$ 以下に設定されていることを特徴とする請求項5に記載の半導体レーザ素子。
- [7]      前記距離が、 $20\mu\text{m}$ よりも大きく、 $33\mu\text{m}$ 以下に設定されていることを特徴とする請求項5に記載の半導体レーザ素子。
- [8]      前記距離が、 $30\mu\text{m}$ 以上 $33\mu\text{m}$ 以下に設定されていることを特徴とする請求項5に記載の半導体レーザ素子。
- [9]      前記半導体レーザ素子のチップ幅に対する前記第1及び第2サポートの幅の割合が、 $33\%$ よりも大きく、 $52\%$ 未満に設定されていることを特徴とする請求項1に記載の半導体レーザ素子。
- [10]     前記半導体レーザ素子のチップ幅に対する前記第1及び第2サポートの幅の割合が、 $44\%$ よりも大きく、 $50\%$ 未満に設定されていることを特徴とする請求項9に記載の半導体レーザ素子。
- [11]     前記半導体レーザ素子の面積に対する前記第1及び第2サポートの面積の割合が、 $33\%$ よりも大きく、 $52\%$ 未満に設定されていることを特徴とする請求項1に記載の

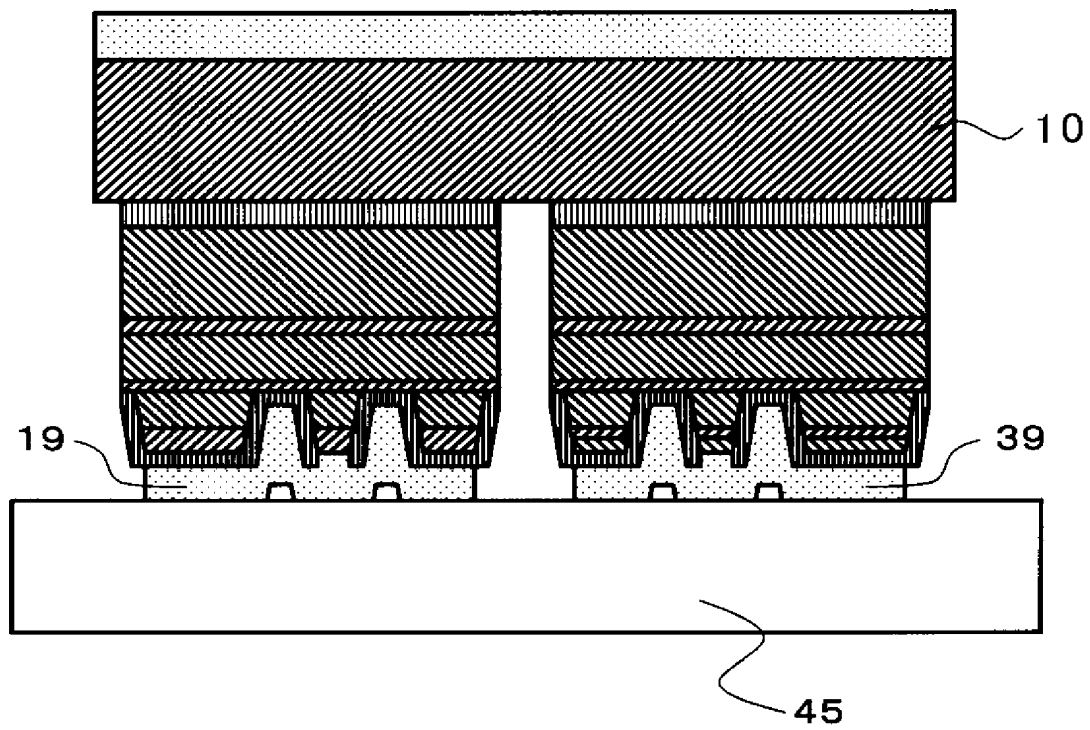
半導体レーザ素子。

- [12] 前記半導体レーザ素子の面積に対する前記第1及び第2サポートの面積の割合が、44%よりも大きく、50%未満に設定されていることを特徴とする請求項11に記載の半導体レーザ素子。
- [13] 素子表面に複数のリッジを並べて形成するとともに、各リッジに対して、各リッジを挟むように複数のサポートを形成する工程と、  
前記リッジ及び前記サポートの表面にブロック層を形成する工程と、  
スピコート法により、前記ブロック層の表面に保護膜を塗布する工程と、  
前記リッジのトップを覆う前記保護膜を除去する工程と、  
前記保護膜をマスクとして、前記リッジのトップを覆う前記ブロック層を除去する工程と、  
前記リッジを覆うように電極層を形成する工程と、  
を有していることを特徴とする請求項1〜12の何れかに記載の半導体レーザ素子の製造方法。

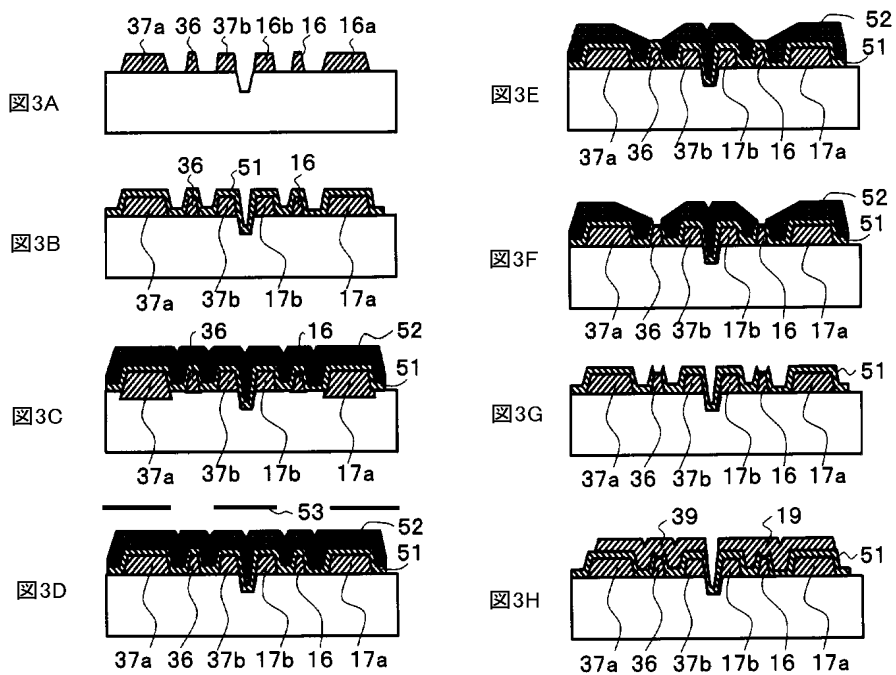
[図1]



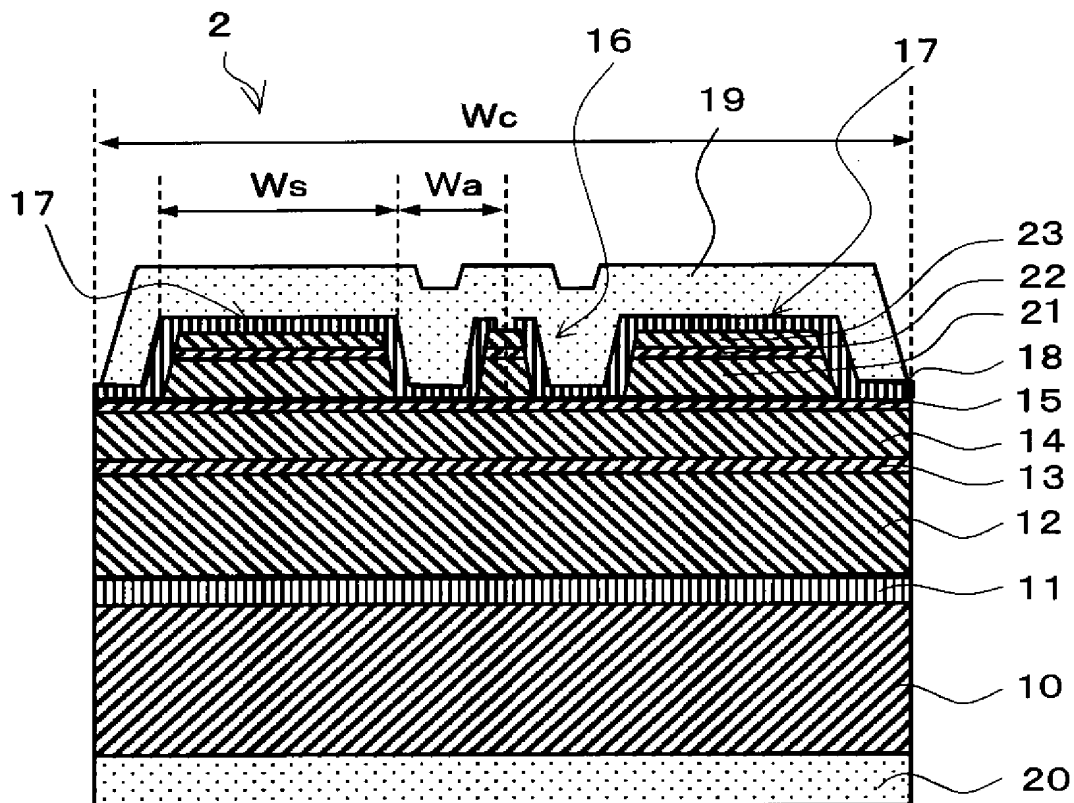
[図2]



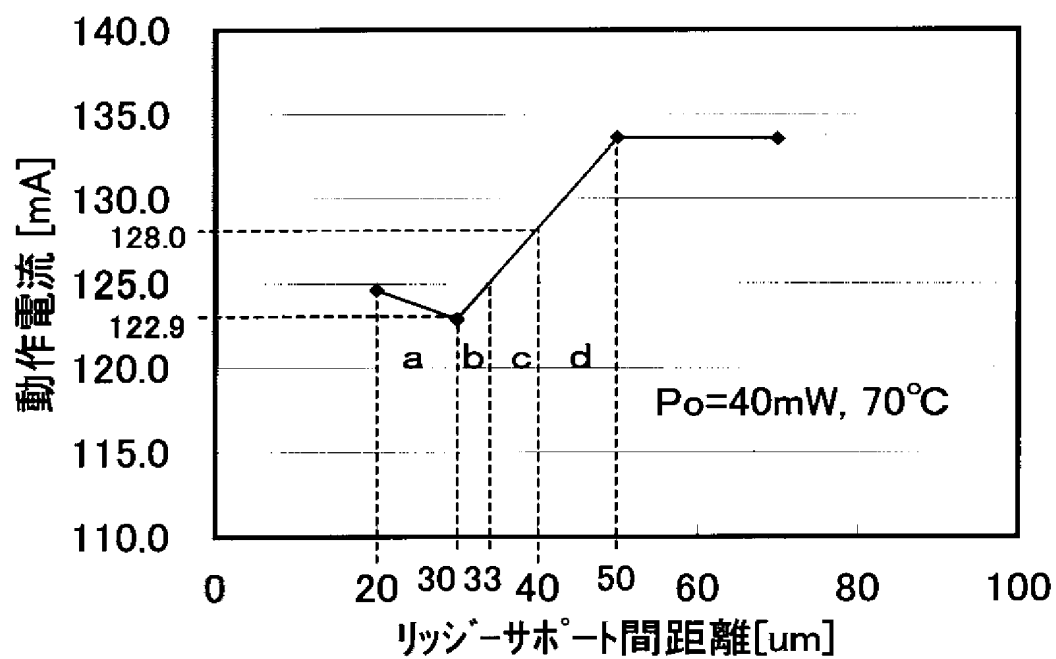
[図3]



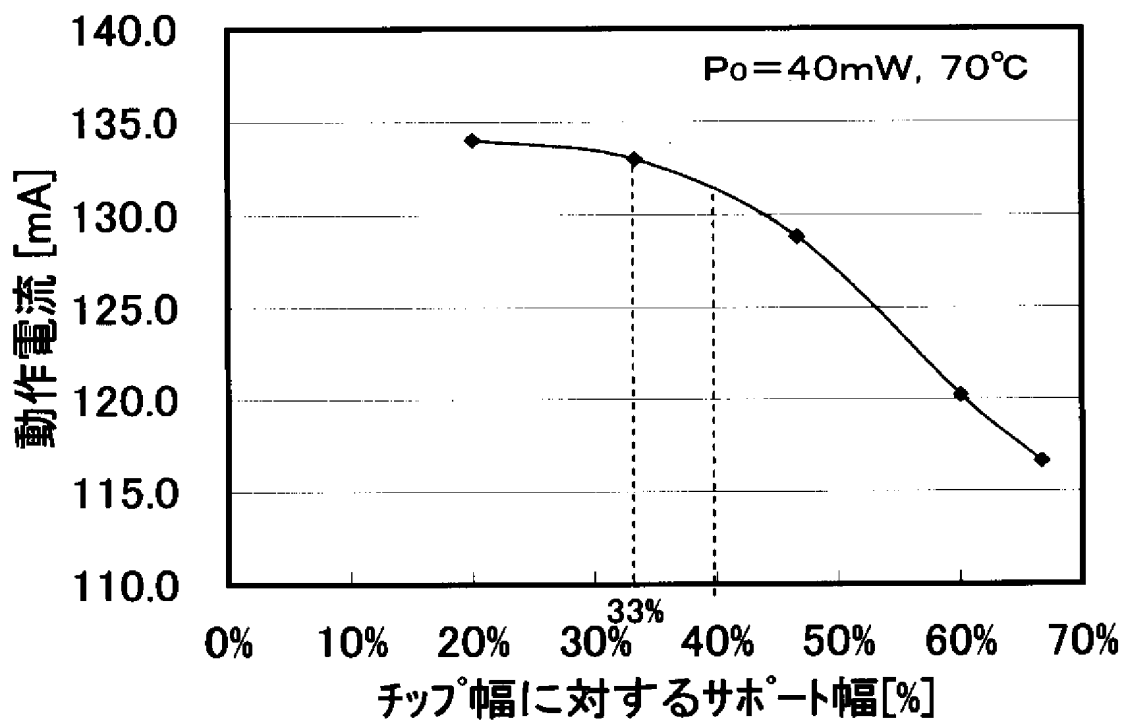
[図4]



[図5]



[図6]



[図7]

図7A

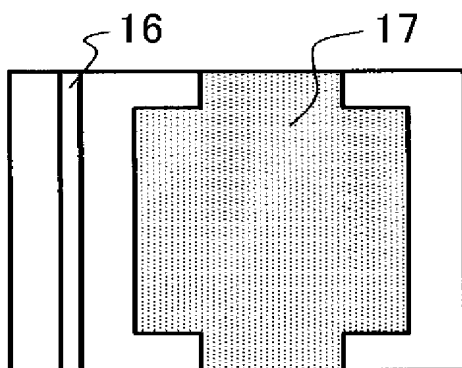


図7B

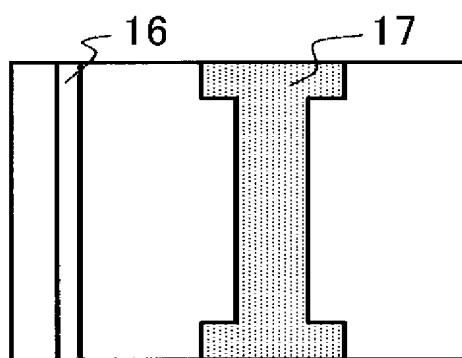
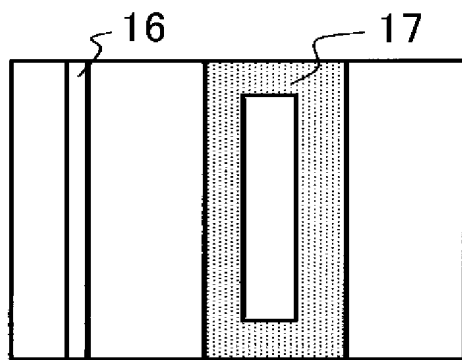
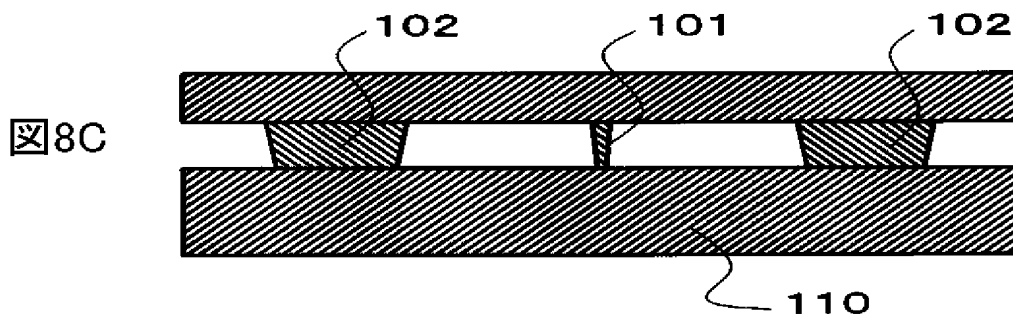
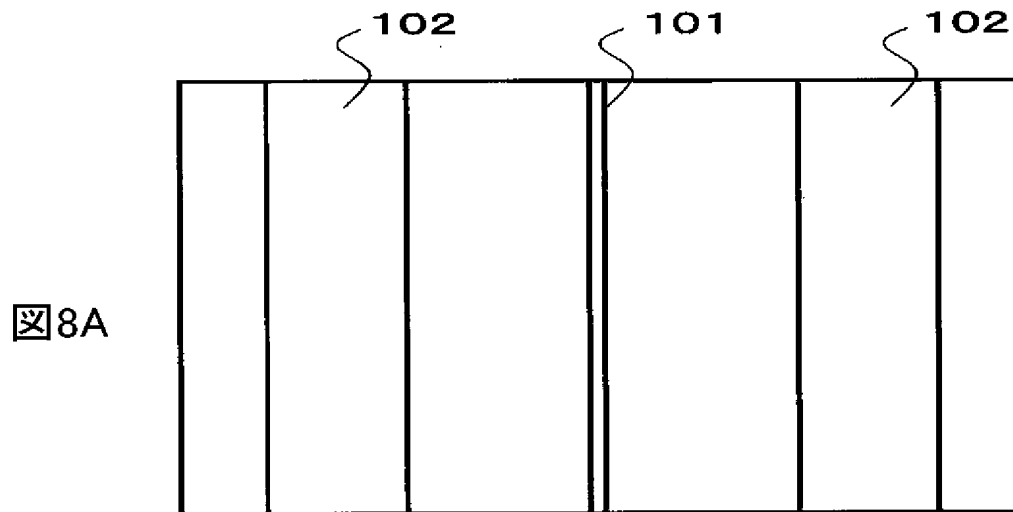


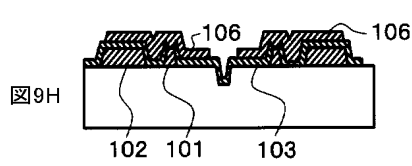
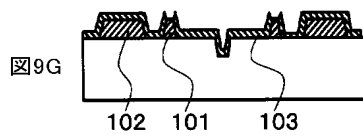
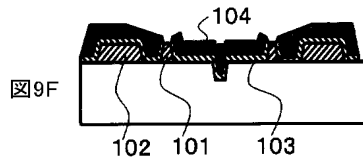
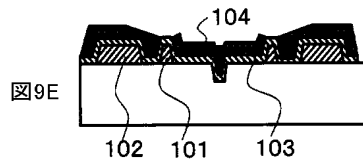
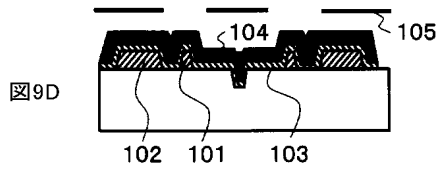
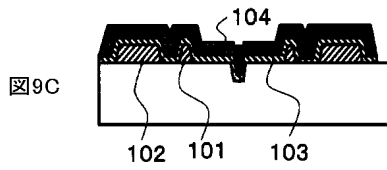
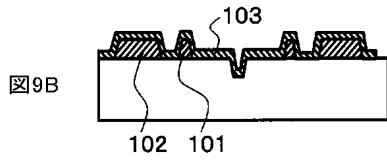
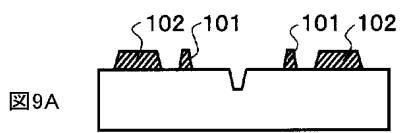
図7C



[図8]



[図9]





[図10]

図10A

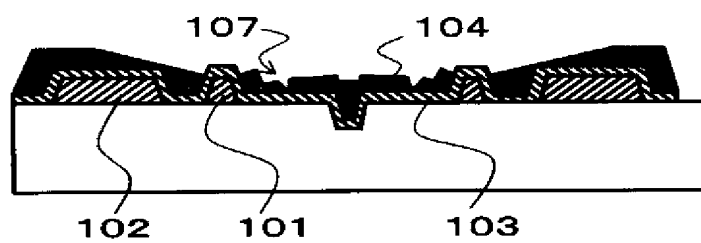


図10B

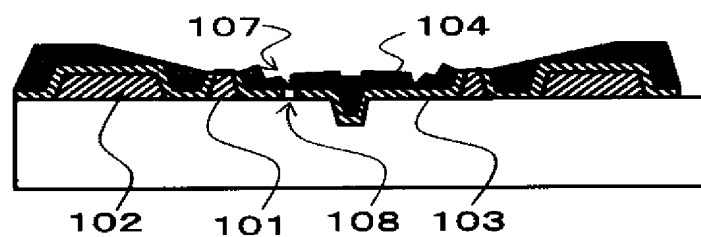


図10C

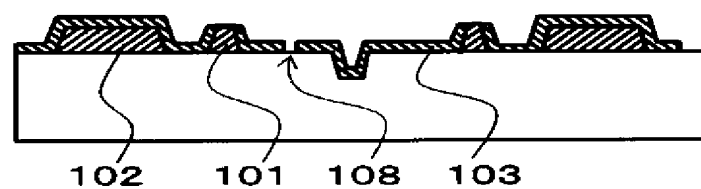
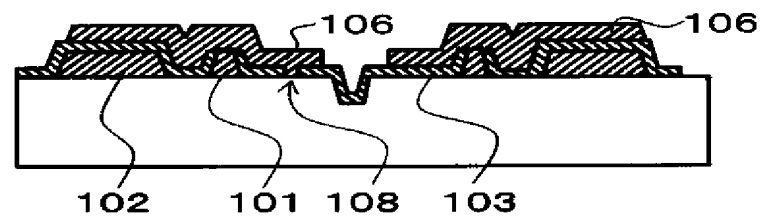


図10D



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004699

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H01S5/22

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-517866 A (Quantum Devices, Inc.), 09 October, 2001 (09.10.01), Par. Nos. [0016] to [0023], [0069] to [0087], [0102]; Figs. 1, 6 & US 2002/0028390 A1 & US 6411642 B1 & EP 1021749 A1 & WO 1999/015934 A1 & CA 2304795 A	1-8, 13 9-12
Y	JP 2001-230498 A (Toyoda Gosei Co., Ltd.), 24 August, 2001 (24.08.01), Par. Nos. [0040], [0076]; Figs. 1 to 10 (Family: none)	9-12
A	JP 11-145558 A (Hitachi, Ltd.), 28 May, 1999 (28.05.99), Par. Nos. [0021] to [0031]; Figs. 1 to 6 (Family: none)	9-12



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
08 June, 2005 (08.06.05)Date of mailing of the international search report  
21 June, 2005 (21.06.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01S5/22

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-517866 A (クアンタム デバイシズ, インコーポレイテッド)	1-8, 13
Y	2001.10.09, 段落【0016】-【0023】, 【0069】-【0087】, 【0102】, 図 1, 6 & US 2002/0028390 A1 & US 6411642 B1 & EP 1021749 A1 & WO 1999/015934 A1 & CA 2304795 A	9-12
Y	JP 2001-230498 A (豊田合成株式会社) 2001.08.24, 段落【0040】, 【0076】, 図 1-10 (ファミリーなし)	9-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

08.06.2005

国際調査報告の発送日

21.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

門田 かづよ

2 K

3 4 1 2

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-145558 A (株式会社日立製作所) 1999.05.28, 段落【0021】 - 【0031】 , 図 1-6 (ファミリーなし)	9-12